

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-112141

(43)Date of publication of application : 04.07.1983

(51)Int.Cl.

G06F 7/28
// G06F 15/40

(21)Application number : 56-214364

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.12.1981

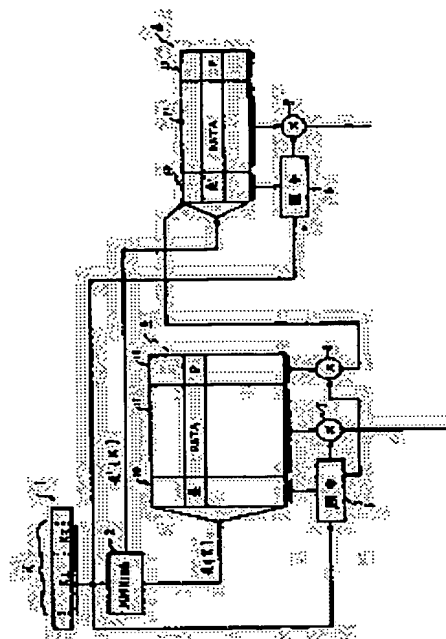
(72)Inventor : SHINAGAWA AKIO

(54) HASHING PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To increase the processing speed, by extracting an index address to a hash table of a lower hierarchy as a by-product while an operation is carried out for the operation of a hash function to give an index to a hash table of an upper hierarchy.

CONSTITUTION: When key information 1 is given, key information K is led to a hashing circuit part 2. Then an address $k(K)$ is produced by an operation of a prescribed hash function. In this case, an address to a hash table 4 of the lower hierarchy is also extracted as a by-product. Access is given to a hash table 3 of the upper hierarchy based on the address $k(K)$, and the contents of the corresponding address are read out. In this case, a collating circuit part 5 checks whether the collating key information (k) in the corresponding contents is collated with the key information (k). If a collation is carried out, the information in the read-out contents is decided to correspond to the key information 1 and then applied.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—112141

⑤ Int. Cl.³
G 06 F 7/28
// G 06 F 15/40

識別記号

庁内整理番号
7313—5B
6913—5B

⑬ 公開 昭和58年(1983)7月4日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ ハッシング処理方式

① 特 願 昭56—214364
② 出 願 昭56(1981)12月25日
⑦ 発 明 者 品川明雄

川崎市中原区上小田中1015番地
富士通株式会社内
⑧ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑨ 代 理 人 弁理士 森田寛 外1名

明 細 書

1. 発明の名称 ハッシング処理方式

2. 特許請求の範囲

与えられたキー情報に対してハッシュ関数を用いしめ、当該得られた結果をアドレスとしてハッシュ・テーブルを索引するよう構成すると共に、上記アドレスに関してハッシュ・テーブルにおいて衝突が生じているときシノニムの全部または一部に対して下位階層のハッシュ・テーブルを用意してなるハッシング処理方式において、上記キー情報にもとづいて上記アドレスを生成すべくハッシュ関数を用いしめる演算の間に上記下位階層のハッシュ・テーブルに対する索引アドレスを副生成物として抽出するよう構成し、上記ハッシュ・テーブルにおいて衝突が生じていたとき上記抽出された索引アドレスをもつて上記下位階層のハッシュ・テーブルをアクセスするよう構成されることを特徴とするハッシング処理方式。

3. 発明の詳細な説明

(A) 発明の技術分野

本発明は、ハッシング処理方式、特に与えられたキー情報に対してハッシュ関数を用いしめハッシュ・テーブルを索引するよう構成すると共に、衝突が生じている際下位階層のハッシュ・テーブルを用意してなるハッシング処理方式において、●●上位階層のハッシュ・テーブルを索引するためにハッシュ関数を用いしめる演算の間に下位階層のハッシュ・テーブルに対する索引アドレスを副生成物として抽出するようし、処理速度を向上せしめたハッシング処理方式に関するものである。

(B) 技術的背景と問題点

従来から、与えられたキー情報にもとづいて当該キー情報に対応するデータを索引するに当つて、当該キー情報に対してハッシング関数を用いしめハッシュ・テーブルを索引する方式が採用されている。そして、このような方式の場合、互に異なるキー情報であつてもハッシュ関数を用いし

しめた結果において同じ値が出力されることがあり、このような状態を一般に衝突と呼んでいる。このような衝突が生じた場合には、それに対処するために更に下位階層のハッシュ・テーブルを用意して当該衝突を生じたものの相互についての分別を行なつて所望のデータを索引するようにすることが出来る。

このようにハッシュ・テーブルが階層構造をもっている場合、従来上位階層のハッシュ・テーブルを索引した結果にもとづいて、下位階層のハッシュ・テーブルを索引すべく改めてハッシュ関数を作用せしめるよう構成されている。このために、処理に時間を要していた。

(C) 発明の目的と構成

本発明は上記の点を解決することを目的としており、本発明のハッシング処理方式は、与えられたキー情報に対してハッシュ関数を作用せしめ、当該得られた結果をアドレスとしてハッシュ・テーブルを索引するよう構成すると共に、上記アドレスに関してハッシュ・テーブルにおいて衝突を

生じているときシノニムの全部または一部に対して下位階層のハッシュ・テーブルを用意してなるハッシング処理方式において、上記キー情報にもとづいて上記アドレスを生成すべくハッシュ関数を作用せしめる演算の間に上記下位階層のハッシュ・テーブルに対する索引アドレスを副生成物として抽出するよう構成し、上記ハッシュ・テーブルにおいて衝突が生じていたとき上記抽出された索引アドレスをもつて上記下位階層のハッシュ・テーブルをアクセスするよう構成されることを特徴としている。以下図面を参照しつつ説明する。

(D) 発明の実施例

第1図は本発明の一実施例構成を示し、第2図は第1図図示のハッシング回路部における一実施例処理動作を説明する説明図を示す。

第1図において、1はキー情報、Kはハッシングの対象となるキー情報、2はハッシング回路部、3は上位階層ハッシュ・テーブル、4は下位階層ハッシュ・テーブル、5、6は夫々照合回路部、7、8、9は夫々ゲートを示している。

なお、図示の場合、ハッシュ・テーブル内には、(i)照合用キー情報4 10と、(ii)データ又はデータ格納域をポイントするデータ・ポインタDATA 11と、(iii)下位階層ハッシュ・テーブルをポイントするアドレス・ポインタ12とが格納されるものとして示されている。

キー情報1が与えられたとき、キー情報Kがハッシング回路部2に導かれ、所定のハッシュ関数が作用せしめられてアドレス4 (Q)が生成される。本発明の場合には、第2図を参照して説明する如く、下位階層ハッシュ・テーブル4に対するアドレス4 (Q)をも副生成物として抽出する。

上記アドレス4 (Q)にもとづいて上位階層ハッシュ・テーブル3がアクセスされ、当該番地の内容が読出される。このとき当該内容中の照合用キー情報4が、与えられたキー情報Kと照合するか否かについて、照合回路部5によつてチェックされる。もしも照合していれば、読出された内容中の情報DATAが、上記与えられたキー情報1に対応しているものとして利用される。

上述の如く衝突が生じていて、上位階層ハッシュ・テーブル3から読出された内容が、キー情報1に対応していない場合には、当該読出された内容中のアドレス・ポインタによつて下位階層ハッシュ・テーブル4がポイントされる。言うまでもなく、ハッシング回路部2において所定のハッシング関数を作用せしめた結果の値(アドレス4 (Q))が同一値をとる如きキー情報は複数値存在し得る。このために、下位階層ハッシュ・テーブル4をアクセスするに当つても、キー情報Kに対して独得なアドレス4 (Q)を得るようハッシュ関数を作用せしめるようにされる。勿論当該アドレス4 (Q)が同一値をとるようになるキー情報も一般には複数個存在し、このような場合には一般に更に下位階層のハッシュ・テーブルが用意されると考えてよい。また簡単にはそれらをリストとして連結しておいてもよい。

本発明の場合、衝突が生じていると照合回路部5によつてゲート8がオンされる。そしてアドレス・ポインタによつて下位階層ハッシュ・テー

ブル4の先頭がポイントされる。一方上述の如くアドレス4'00が生成されており、当該アドレス4'00をもつて下位階層ハッシュ・テーブル4がアクセスされる(なお4'00は ϕ がポイントするアドレスからの空位を表わすと考えられる)。当該アクセスによつて読出された内容中の照合用キー情報4'10が、与えられたキー情報Kと照合される。そして照合していれば照合回路部6はゲート9をオンし、キー情報1に対応しているものとして、読出された情報DATAが利用されてゆく。

第2図(A)は、第1図図示情報Kに対応するものと考えてよく、一般に複数ビットの元素 ϕ_1 ないし ϕ_n (図示の場合 $n=7$)によつて構成されている。第1図図示の上位階層ハッシュ・テーブル3に対するアドレス4'00を生成するに当つては、例えば第2図(B)図示の如きアルゴリズムが採用されている。即ち、各元素 ϕ_1 ないし ϕ_7 を加算し、その結果のサム(SUM)について上位ビット部分を無視した値をもつてアドレス4'00とするようにしている。

上記の如きアルゴリズムが採用されているものとするときには、本発明においては、例えば第1図図示のハッシング回路部2は第2図(C)の如き演算を行なうようにする。即ち、例えば元素 ϕ_1 ないし ϕ_7 を加算してパーシャル・サム(PARTIAL SUM)を得る。そして、該パーシャル・サムと元素 ϕ_8 ないし ϕ_{10} とを加算してサムを得る。該サムについて、第2図(D)の場合と同様に上位ビット部分を無視して、アドレス4'00を生成するようにされる。一方、上記パーシャル・サムについて、上位ビット部分を無視し、上述のアドレス4'00として抽出するようにする。

なお、上記第2図(B)を参照して説明したアルゴリズムは一実施例であり、本発明はそれに限られるものではないが、所定のアルゴリズムにもとづいてアドレス4'00が生成される演算における副生成物として、上述のアドレス4'00が得られるようにされる。

(B) 発明の効果

以上説明した如く、本発明によれば、上位階層

のハッシュ・テーブルを索引すべくハッシュ関数を用いる演算の間に、下位階層のハッシュ・テーブルに対するアドレスを副生成物として抽出するようにしているので、下位階層のハッシュ・テーブルを索引するために改めてあるいは別個にハッシュ関数を用いる必要がない。

4. 図面の簡単な説明

第1図は本発明の一実施例構成を示し、第2図は第1図図示のハッシング回路部における一実施例処理態様を説明する説明図を示す。

図中、1はキー情報、Kはキー情報、2はハッシング回路部、3は上位階層ハッシュ・テーブル、4は下位階層ハッシュ・テーブル、5、6は照合回路部を表わす。

特許出願人 富士通株式会社
代理人弁理士 森田 寛(外1名)

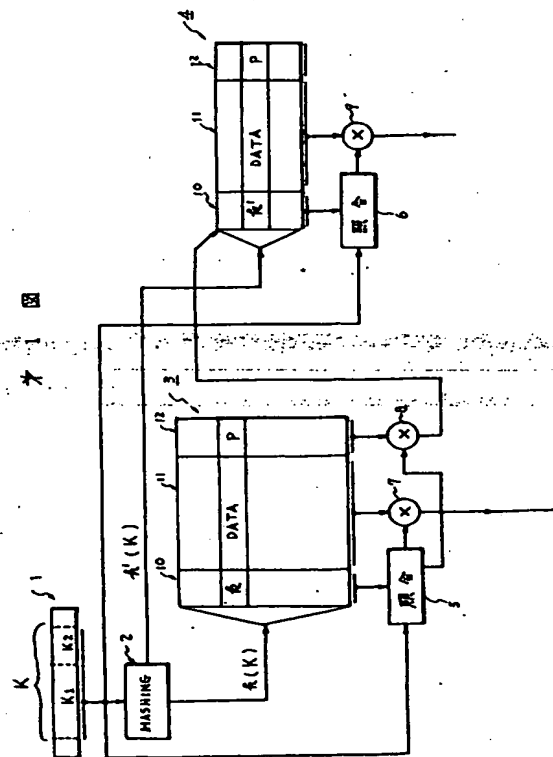


図 2

